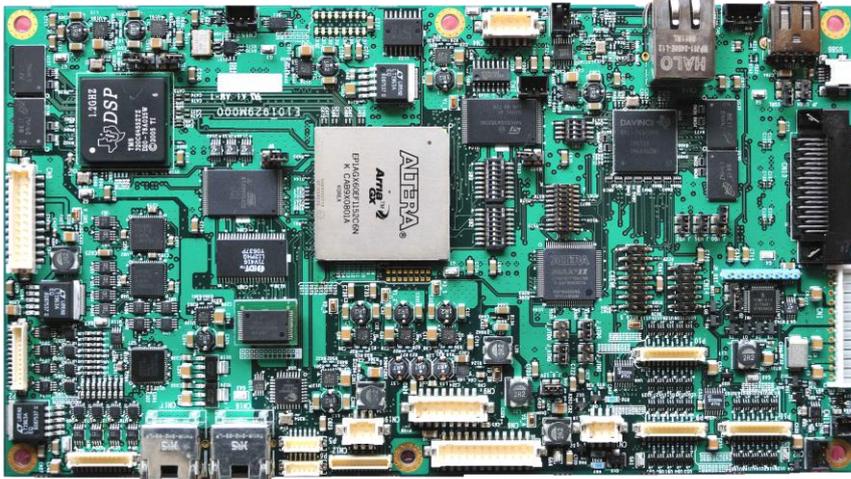


# 超高速デジタル信号処理基板

< 受託開発例 >



基板サイズ : 223×125mm

基板層数 : 12層

実装部品 : 約 2,100点

● Davinci (TI)

デジタルメディアプロセッサ

DDR2-SDRAM 400MHz

動作周波数

ARM9 297MHz

C64x+ 594MHz

● DSP: TMS320C6455 (TI)

Serial RapidIO インタフェース内蔵

DDR2-SDRAM 533MHz

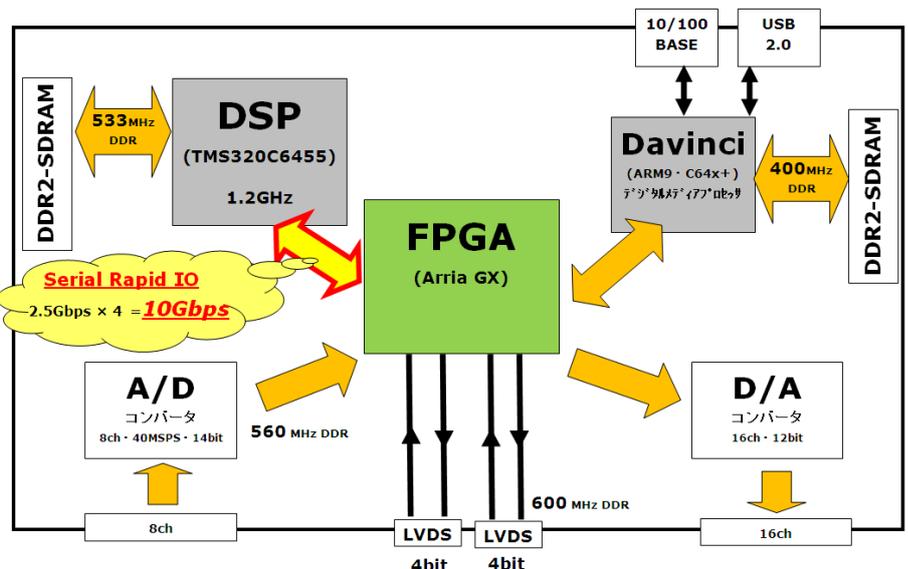
動作周波数 1.2GHz

● FPGA: Arria GX (ALTERA)

Serial RapidIO インタフェース内蔵

Serial RapidIO 超高速信号処理インターフェース

2.5Gbps×4 = 10Gbps



「開発設計から製品化までをトータルにサポート」

電子回路の設計から多層基板の artwork 設計まで

短期間で全てを自社開発しています。

あらゆるご要求にカスタム対応致しますのでご相談下さい。

## 【高速浮動小数点 DSP (TS101)】

<表面>



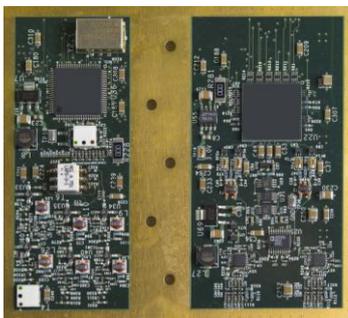
- 高速浮動小数点DSP (300MHz DSP Core)
- DSP LinkPort - Serdes 2.5GHz (外部接続)
- DSP 間 LinkPort 接続 (250Mbyte/s)

<裏面>



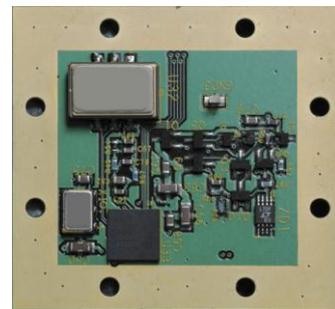
- DSP 用共有メモリ接続 (100MHz 動作)
- SO-DIMM (256MB、DSP2個で共有)

## 【高速・高精度 A/D・D/A】



- 120MHz A/D (12bit)、120MHz D/A (14bit)
- 130MHz A/D (16bit)、400MHz D/A (16bit) (実績)
- スプリアス 60dBc 以上

## 【低ジッター発信機】



- 640MHz
- ランダムジッター: 10ps 程度

## 【高速・高密度実装基板】

<表面>

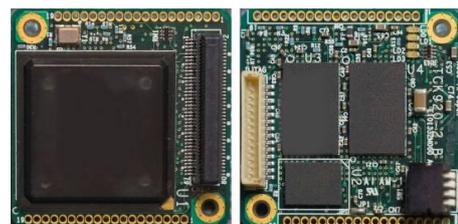


<裏面>



- 40MS × 14bit × 8ch A/D のプリアンプ部を高密度に実装 (0603 チップ使用)
- データ出力速度: LVDS にて 560Mbit/s S/N 55~60dB 程度

## 【両面・高密度実装基板】



- 基板サイズ : 30 x 30 mm
- 層数 : 12 層 IVH
- ネット数 : 284
- ピン数 : 1560 (未使用ピン含む)
- 部品点数 : 178

<お問合せ>

〒161-0034

東京都新宿区上落合 1-16-7 NKビル 2F

TEL:03-6804-1411 FAX:03-5338-7841

<http://www.kkrocky.com/>

✉ [info@kkrocky.com](mailto:info@kkrocky.com)

